

## 日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年11月 9日

出 願 番 号

Application Number:

平成11年特許願第318232号

出 願 人

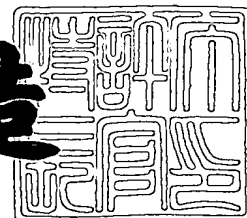
Applicant (s):

株式会社デンソー

2000年 9月 1日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3069736

【書類名】 特許願

【整理番号】 N990458

【提出日】 平成11年11月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/66

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

    【氏名】 戸松 裕

【発明者】

    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

    【氏名】 黒柳 晃

【発明者】

    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

    【氏名】 三浦 昭二

【特許出願人】

    【識別番号】 000004260

    【氏名又は名称】 株式会社デンソー

    【代表者】 岡部 弘

【代理人】

    【識別番号】 100071135

    【住所又は居所】 名古屋市中区栄四丁目 6 番 1 5 号 名古屋あおば生命ビル

    【弁理士】

    【氏名又は名称】 佐藤 強

    【電話番号】 052-251-2707

【手数料の表示】

    【予納台帳番号】 008925

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9200169

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の表面に設けられた複数のセルブロックと、  
これら複数のセルブロックにそれぞれ設けられ互いに独立する複数のゲート電極と、

前記半導体基板に設けられ前記各ゲート電極にそれぞれ接続された複数のゲートパッドとを備え、

前記各セルブロックが良品であるか不良品であるかを識別する目印を、前記半導体基板における前記各セルブロックに対応付けられた領域に設けたことを特徴とする半導体装置。

【請求項 2】 前記目印は、その配置位置によって前記セルブロックが良品であるか不良品であるかを識別可能になっていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記目印は、その色によって前記セルブロックが良品であるか不良品であるかを識別可能になっていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記目印は、その大きさによって前記セルブロックが良品であるか不良品であるかを識別可能になっていることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記目印は、その形状によって前記セルブロックが良品であるか不良品であるかを識別可能になっていることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 前記目印は、その個数によって前記セルブロックが良品であるか不良品であるかを識別可能になっていることを特徴とする請求項 1 記載の半導体装置。

【請求項 7】 前記半導体基板において前記目印を設ける領域は、良否の識別対象のセルブロックに隣接するセルブロックのゲート電極に接続されたゲートパッドの中心位置を通る直線であると共に、前記セルブロックの境界線に平行な

直線よりも前記良否識別対象のセルブロックに近い側の領域であることを特徴とする請求項 1 記載の半導体装置。

【請求項 8】 前記半導体基板において前記目印を設ける領域は、前記ゲートパッドの上面または前記ゲートパッドの近傍領域であることを特徴とする請求項 1 記載の半導体装置。

【請求項 9】 前記目印は、ワイヤボンディング装置に設けられた画像認識装置によって認識可能なように構成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 10】 半導体基板の表面に設けられた複数のセルブロックと、これら複数のセルブロックにそれぞれ設けられ互いに独立する複数のゲート電極と、前記半導体基板に設けられ前記各ゲート電極にそれぞれ接続された複数のゲートパッドと、前記半導体基板における前記各セルブロックに対応付けられた領域に設けられ前記各セルブロックが良品であるか不良品であるかを識別する目印とを備えて成る半導体装置を製造する方法において、

前記半導体基板に前記ゲートパッドを形成した後、前記目印を形成することを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、半導体基板の表面に電流制御用のゲート電極を備えた半導体装置及びその製造方法に関する。

##### 【0002】

#### 【従来の技術】

高耐圧、大電流用の半導体装置（パワー IC）である例えば IGBT（絶縁ゲート型バイポーラトランジスタ）において、チップサイズを大形化すると、チップの外周部に設ける耐圧構造（例えばガードリング構造）が占める面積の割合を小さくすることができる。また、1チップ当たりの電流容量の増大や、オン電圧の低減を実現することができる。更に、部品点数を削減できるから、組立構造を簡略化できると共に、コストを低減できるという効果を得ることができる。

## 【0003】

一方、IGBTを製造する半導体ウエハプロセスにおいては、例えばパーティクル等に起因して欠陥が発生することにより、ゲート・エミッタ間が短絡するという不良が発生することがある。そして、このような不良は、チップサイズが大きくなるほど、発生し易くなり、良品率（歩留まり）が低下するという問題点があった。

## 【0004】

このような問題点を解消する技術として、特開平8-191145号公報に記載されたIGBTの製造方法がある。この方法では、IGBTを複数のセルブロック（ゲートブロック）に分け、各ゲートブロックから各ブロック共通のゲートボンディングパッドへの配線取出しを二層配線構造とすることを提案している。上記方法の場合、半導体ウエハプロセスの途中、すなわち、各ブロック個別に設定された一層目ゲート配線の形成後、複数のセルブロックについて、それぞれゲート・エミッタ間が短絡しているか否か、即ち、良否の判定を行い、その後、層間絶縁膜を形成し、良否の判定結果に従い、層間絶縁膜に設けた各ブロック毎のビアホールをディスペンサ等によりポリイミド液を滴下し、良品のセルブロックの一層目ゲート配線だけを二層目ゲート配線に接続し、不良品のセルブロックの一層目ゲート配線を二層目ゲート配線から切り離してソース電極に短絡するような2層配線を形成するように構成している。

## 【0005】

この方法によれば、複数のセルブロックの中に不良ブロックがある場合でも、良品のセルブロックだけでIGBTを構成することができ、IGBTが正常に動作するようになることから、良品率が低下することを防止できる。

## 【0006】

## 【発明が解決しようとする課題】

しかしながら、上記公報の方法では、半導体ウエハプロセスの途中で、複数のセルブロックについて良否の判定を行い、その後、良品のセルブロックだけを選択してゲートボンディングパッドに接続する多層配線構造を形成する半導体ウエハプロセスを実行しなければならないので、工程が非常に複雑になるという欠

点があった。また、半導体ウエハプロセスの途中で、電気特性を計測してセルブロックの良否の判定を行うことは、実際にはかなり困難である（上記公報にも、その具体的方法は全く開示されていない）と共に、製造設備が汚染するため、上記公報の方法を実際に使用することは、ほとんど不可能であると考えられる。

## 【0007】

これに対して、本出願人は、上記公報の方法の欠点を解消する構成を発明し、先に出願（特願平 1 1－2 8 8 2 5 0 号）している。この出願の構成では、複数のセルブロック毎に互いに独立するゲート電極をそれぞれ設け、これらゲート電極にそれぞれ接続される複数のゲートパッドを設ける構成とした。この構成によれば、複数のゲートパッドを利用することにより、周知の検査装置を使用して、複数のセルブロックの良否の判定を容易に行うことができる。そして、この構成の場合、良品のセルブロックのゲートパッドだけを、外部のゲート端子に例えばワイヤボンディングにより接続している。このため、複数のセルブロックの中に不良品がある場合でも、良品のセルブロックだけで半導体装置（絶縁ゲート型パワー IC）を構成することができ、半導体装置が正常に動作することになることから、良品率（歩留まり）が低下することを防止できる。

## 【0008】

そして、上記構成の場合、半導体ウエハプロセスのプロセス数は従来構成と同じで済む。従って、半導体装置のチップサイズを大形化した場合でも、良品率が低下することを防止でき、しかも、半導体ウエハプロセスが複雑になることを防止できる。

## 【0009】

さて、上記出願の構成では、複数のセルブロックのうちの良品のセルブロックのゲート電極に接続されたゲートパッドを外部のゲート端子にワイヤボンディングにより接続すると共に、不良品のセルブロックのゲート電極に接続されたゲートパッドを外部のグランド端子にワイヤボンディングにより接続している。この構成の場合、複数のゲートパッドのうちの、どのゲートパッドを外部のゲート端子またはグランド端子に接続するかを判別して決定する作業が面倒であり、接続誤りが起こるおそれがある。従って、上記出願の構成の場合、このような点が改

善すべき課題であった。

【0010】

そこで、本発明の目的は、チップサイズを大形化した場合でも、良品率が低下することを防止できると共に、半導体ウエハプロセスが複雑になることを防止でき、しかも、ゲートパッドをゲート端子またはグランド端子に接続する作業を容易に行うことができ、接続誤りを防止できる半導体装置及びその製造方法を提供することにある。

【0011】

【課題を解決するための手段】

請求項1の発明によれば、半導体基板の表面に複数のセルブロックを設け、これらセルブロックに互いに独立するゲート電極をそれぞれ設け、そして、半導体基板に各ゲート電極にそれぞれ接続された複数のゲートパッドを設けるように構成したので、チップサイズを大形化した場合でも、良品率が低下することを防止できると共に、半導体ウエハプロセスが複雑になることを防止できる。そして、請求項1の発明の場合、各セルブロックが良品であるか不良品であるかを識別する目印を、半導体基板における各セルブロックに対応付けられた領域に設ける構成としたので、上記目印によって各セルブロックが良品であるか不良品であるかを容易に識別することができる。これにより、例えばワイヤボンディング装置のボンディングプログラムの作製が容易になり、ゲートパッドをゲート端子またはグランド端子に接続する作業を容易に行うことができる。

【0012】

請求項2の発明によれば、目印の配置位置によってセルブロックが良品であるか不良品であるかを識別できる。また、請求項3の発明によれば、目印の色によってセルブロックが良品であるか不良品であるかを識別できる。また、請求項4の発明によれば、目印の大きさによってセルブロックが良品であるか不良品であるかを識別できる。また、請求項5の発明によれば、目印の形状によってセルブロックが良品であるか不良品であるかを識別できる。また、請求項6の発明によれば、目印の個数によってセルブロックが良品であるか不良品であるかを識別できる。



## 【 0 0 1 3 】

請求項 7 の発明では、目印を設ける領域を、良否の識別対象のセルブロックに隣接するセルブロックのゲート電極に接続されたゲートパッドの中心位置を通る直線であると共に、前記セルブロックの境界線に平行な直線よりも前記良否識別対象のセルブロックに近い側の領域とした。この構成によれば、目印を画像認識装置によって自動認識するように構成する場合、画像認識の範囲を狭くすることができ、認識精度や認識速度が高くなる。

## 【 0 0 1 4 】

請求項 8 の発明によれば、目印を設ける領域を、ゲートパッドの上面またはゲートパッドの近傍領域としたので、請求項 7 の発明と同じ作用効果を得ることができる。

## 【 0 0 1 5 】

請求項 9 の発明によれば、目印を、ワイヤボンディング装置に設けられた画像認識装置によって認識可能なように構成したので、ワイヤボンディング装置において各セルブロックが良品であるか不良品であるかを識別でき、ゲートパッドをゲート端子またはグランド端子にワイヤボンディングする際のボンディング誤りを確実に防止することができる。

## 【 0 0 1 6 】

請求項 1 0 の発明によれば、半導体基板にゲートパッドを形成した後、目印を形成するように構成したので、セルブロックが良品であるか不良品であるかの電気的検査を確実に容易に行うことができると共に、目印を正確に形成することができる。

## 【 0 0 1 7 】

## 【発明の実施の形態】

以下、本発明を I G B T（絶縁ゲート型バイポーラトランジスタ）に適用した第 1 の実施例について、図 1 ないし図 6 を参照しながら説明する。まず、図 2 は本実施例の I G B T のチップ（半導体装置）1 の縦断面構造を概略的に示す縦断面模式図である。この図 2 に示すように、本実施例の I G B T はトレンチゲート型 I G B T である。この I G B T は、半導体基板である例えば p + 基板（p + シ

リコン基板) 2 を備えており、この p + 基板 2 の上に、n + バッファ層 3 と n - ドリフト層 4 が順にエピタキシャル成長法を用いて形成されている。

#### 【0018】

そして、n - ドリフト層 4 の上面には、p ベース層 5 が形成されている。この p ベース層 5 には、多数のトレンチ 6 が上記 p ベース層 5 を貫通して n - ドリフト層 4 に達するように形成されている。トレンチ 6 の内部には、ゲート絶縁膜 7 を介してゲート電極 8 が形成されている。ゲート絶縁膜 7 は例えば酸化シリコン膜或いは ONO 膜で形成されており、ゲート電極 8 は例えば多結晶シリコンで形成されている。

#### 【0019】

更に、p ベース層 5 の表面におけるトレンチ 6 の上部に接する部分には、高濃度の n + エミッタ層 9 が選択的に形成されている。そして、p ベース層 5 の上面には、エミッタ電極 10 が p ベース層 5 と n + エミッタ層 9 に接するように形成されている。また、p + 基板 2 の裏面 (下面) には、コレクタ電極 11 が形成されている。

#### 【0020】

ここで、上記した構成の IGBT のチップ 1、即ち、半導体基板 2 の表面は、複数個 (即ち、2 個以上) の IGBT 領域であるセルブロック 12 (12 a、12 b、12 c、……) に分割されるように構成されている (図 1、図 4、図 5 も参照)。即ち、IGBT のチップ 1 の表面には、複数個のセルブロック 12 (12 a、12 b、12 c、……) が設けられている。尚、セルブロック 12 の個数については、IGBT のチップ 1 のサイズによって好ましい数値が変化するが、例えば 10 ~ 20 個程度設けることが好ましい。

#### 【0021】

そして、各セルブロック 12 (12 a、12 b、12 c、……) に設けられているゲート電極 8 は、セルブロック毎に互いに独立する (即ち、電氣的に分離される) ように構成されている。ここで、隣接する 2 つのセルブロック 12、12 の境界部分の縦断面模式図を、図 3 に示す。この図 3 に示すように、2 つのセルブロック 12、12 の境界部分には、分離用の酸化膜 ( $\text{SiO}_2$  膜) 31 が形

成されており、この酸化膜 3 1 の上に、電氣的に分離されたゲート電極 8 a、8 b が形成されている。ゲート電極 8 a、8 b、8 の上には、層間絶縁膜 ( $\text{SiO}_2$  膜) 3 2 が形成されている。そして、左側のゲート電極 8 a は左側のセルブロック 1 2 内の全てのゲート電極 8 に接続され、右側のゲート電極 8 b は右側のセルブロック 1 2 内の全てのゲート電極 8 に接続されている。

## 【0 0 2 2】

尚、1 個のセルブロック 1 2 に設けられている MOSFET セルの個数（即ち、ゲート電極 8 またはトレンチ 6）の個数は、セルピッチ及びセルエリアのサイズ（セルブロックのサイズ）により変化するが、数百～数千個程度である。これは、通常、セルピッチが数  $\mu\text{m}$  程度であり、セルエリアのサイズが数  $\text{mm}$  角程度であるためである。そして、1 個のセルブロック 1 2 内のゲート電極 8 は、図 2 に示すように、配線層 1 3 により全て互いに接続されている。また、1 個のセルブロック 1 2 内のエミッタ電極 1 0 も、図 2 に示すように、配線層 1 4 により全て互いに接続されている。

## 【0 0 2 3】

さて、図 1 は、上記 IGBT のチップ 1 の平面構造を概略的に示す平面模式図である。この図 1 に示すように、IGBT のチップ 1 はほぼ矩形平板状に構成されており、その表面における複数個のセルブロック 1 2 (1 2 a、1 2 b、1 2 c、……) に対応する部位には、セルブロック 1 2 とほぼ同じ形状の複数個のエミッタパッド 1 5 (1 5 a、1 5 b、1 5 c、……) が設けられている。また、IGBT 1 のチップの表面における一辺部（図 1 中、上辺部）には、ほぼ正形状の複数個のゲートパッド 1 6 (1 6 a、1 6 b、1 6 c、……) が一列に並ぶように設けられている。

## 【0 0 2 4】

上記各エミッタパッド 1 5 (1 5 a、1 5 b、1 5 c、……) は、図 2 において 2 点鎖線で示すように、各セルブロック 1 2 内の多数のエミッタ電極 1 0 に接続するように形成されており、前記配線層 1 4 としての機能も有するものである。そして、各エミッタパッド 1 5 は、チップ 1 の外部と電氣的な導通をとるためのものであり、本実施例の場合、チップ 1 の外部に設けられたエミッタ端子 3

3 (図 1 3 (第 7 の実施例) 参照) にワイヤボンディングにより接続されている。尚、I G B T のチップ 1 を例えば配線基板に取り付ける場合は、上記エミッタ端子 3 3 は基板に設けられたエミッタ端子用の電極で構成され、I G B T のチップ 1 を例えばリードフレームに取り付ける場合は、上記エミッタ端子 3 3 はリードフレームに設けられたエミッタ端子用のリード部で構成される。

## 【 0 0 2 5 】

また、上記各ゲートパッド 1 6 ( 1 6 a 、 1 6 b 、 1 6 c 、 …………… ) は、前記配線層 1 3 を介して各セルブロック 1 2 内の多数のゲート電極 8 に接続されている。この場合、上記配線層 1 3 は、横向きに引き出され、エミッタパッド 1 5 の図 1 において上下方向の辺部 ( 即ち、 2 個のエミッタパッド 1 5 の間の部位 ) に沿うように配置され、各ゲートパッド 1 6 に接続されている。

## 【 0 0 2 6 】

各ゲートパッド 1 6 は、I B G T のチップ 1 の外部と電氣的な導通をとるためのものであり、本実施例の場合、チップ 1 の外部に設けられたゲート端子 1 7 ( 図 4 参照 ) に例えばワイヤボンディングにより接続されている。ここで、ゲート端子 1 7 に接続するゲートパッド 1 6 は、良品のセルブロック 1 2 のゲート電極 8 に接続されているゲートパッドである。

## 【 0 0 2 7 】

そして、本実施例の場合、図 1 、図 4 及び図 5 に示すように、チップ 1 ( 即ち、半導体基板 2 ) 上における良品のセルブロック 1 2 のゲート電極 8 に接続されているゲートパッド 1 6 の周囲部分のうちの上辺部の中央には、目印として例えば小丸 5 1 a が設けられている。この小丸 5 1 a は、チップ組み付け時の熱処理に耐えられるインクにより描画されている。これに対して、チップ 1 上における不良品のセルブロック 1 2 ( 1 2 b ) のゲート電極 8 に接続されているゲートパッド 1 6 ( 1 6 b ) の周囲部分のうちの右辺部の中央には、目印として例えば小丸 5 1 b が設けられている。この小丸 5 1 b も、上記小丸 5 1 a と同じインクにより描画されている。

## 【 0 0 2 8 】

この構成の場合、小丸 5 1 a 、 5 1 b の配置位置により、各セルブロック 1 2

が良品であるか不良品であるかを識別できるようになっている。そして、目印としての小丸 5 1 a、5 1 b が設けられている領域は、半導体基板 2 における各ゲートパッド 1 6 の周囲部分（即ち、近傍領域）であり、この領域は、半導体基板 2 における各セルブロック 1 2 に対応付けられた領域に相当している。

## 【0 0 2 9】

また、換言すると、図 5 に示すように、半導体基板 2 において目印（例えば小丸 5 1 b）を設ける領域は、良否の識別対象のセルブロック 1 2 b に隣接するセルブロック 1 2 a、1 2 c のゲート電極 8 に接続されたゲートパッド 1 6 の中心位置を通る直線 A であると共に、セルブロック 1 2 の境界線に平行な直線 A よりも良否識別対象のセルブロック 1 2 に近い側の領域（即ち、2 つの直線 A で囲まれた領域）であると表現することが可能である。

## 【0 0 3 0】

さて、図 4 に示すように、上記ワイヤボンディングにより、即ち、ボンディングワイヤ 1 8 により、良品のセルブロック 1 2 のゲート電極 8（ゲートパッド 1 6）とゲート端子 1 7 との間が接続される構成となる。これにより、外部からゲート制御用の信号がゲート端子 1 7 に与えられると、その信号は良品のセルブロック 1 2 のゲート電極 8 に与えられ、良品のセルブロック 1 2 内の素子が動作するようになる。

## 【0 0 3 1】

一方、不良品のセルブロック 1 2 のゲート電極 8 に接続されているゲートパッド 1 6（1 6 b）は、図 4 に示すように、チップ 1 の外部のグランド端子 1 9 に例えばワイヤボンディングにより接続されている。これにより、ゲートパッド 1 6 とグランド端子 1 9 との間は、ボンディングワイヤ 1 8 によって接続される構成となる。この結果、不良品のセルブロック 1 2 のゲート電極 8（ゲートパッド 1 6 b）は、グランド電位（GND 電位）に固定される構成となる。これにより、不良品のセルブロック 1 2 のゲート電極 8 には、ゲート制御用の信号が与えられないから、不良品のセルブロック 1 2 内の素子が動作することはない。

## 【0 0 3 2】

尚、I G B T のチップ 1 を配線基板に取り付ける場合は、上記ゲート端子 1 7

及び上記グランド端子 1 9 は、配線基板に設けられた電極で構成される。また、I G B T のチップ 1 をリードフレームに取り付ける場合は、上記ゲート端子 1 7 及び上記グランド端子 1 9 は、リードフレームに設けられたリード部で構成される。

【 0 0 3 3 】

次に、上記した構成の I G B T のチップ 1 を製造する工程、及び、上記 I G B T のチップ 1 を配線基板に組み付ける工程について、図 6 も参照しながら説明する。

【 0 0 3 4 】

まず、図 6 に示すように、ウエハ 3 5 に対して周知の半導体ウエハプロセスを実行することにより、デバイスを形成する工程を行う。この工程の実行により、ウエハ 3 5 の上に図 1 ～図 3 に示すような構成の I G B T チップ 1 が多数形成される。

【 0 0 3 5 】

そして、上記半導体ウエハプロセス（デバイス形成工程）が完了した後は、ウエハ 3 5 上の各チップ 1 を検査する電気検査工程を実行する。この場合、周知のテストエレメントグループウエハアクセプタンステスト（T E G W A T）やウエハアクセプタンステスト（W A T）を実行する。更に、上記電気検査工程においては、各チップ 1 について、複数のセルブロック 1 2 の各良否の判定を行うように構成されている。上記各セルブロック 1 2 の良否の判定は、ゲート・エミッタ間の耐圧を測定する周知の検査装置を使用して行うようになっている。

【 0 0 3 6 】

具体的には、I G B T チップ 1 にエミッタパッド 1 5 及びゲートパッド 1 6 が形成されているので、上記検査装置の検査用針を 1 番目のセルブロック 1 2 a のエミッタパッド 1 5 及びゲートパッド 1 6 に立てて（接続して）、ゲート電極 8 とエミッタ電極 1 0 との間の耐圧を測定する。このとき、例えば 2 0 V 以上の耐圧があれば、そのセルブロック 1 2 a は良品であると判定し、そうでなければ（2 0 V 未満の耐圧であれば）、そのセルブロック 1 2 a は不良品であると判定するように構成されている。続いて、2 番目以降のセルブロック 1 2 b について

も、同様にして、ゲート電極 8 とエミッタ電極 1 0 との間の耐圧を順に測定していく。

【 0 0 3 7 】

そして、全てのセルブロック 1 2 について、ゲート電極 8 とエミッタ電極 1 0 間の耐圧を測定して、良否の判定を完了したら、その良否の判定データを記憶し、次のチップ 1 についても、同様にして、各セルブロック 1 2 の良否の判定を行い、その良否の判定データを記憶する。以下、ウエハ 3 5 上の全てのチップ 1 について、同様にして、各セルブロック 1 2 の良否の判定を行い、その良否の判定データを記憶する。

【 0 0 3 8 】

この後、上記各セルブロック 1 2 の良否の判定を完了したら、上記記憶した判定データに基づいて、セルブロック 1 2 の良否を識別する目印としての小丸 5 1 a、5 1 b を、チップ 1 の上におけるゲートパッド 1 6 の周辺部分にインクで描く（印刷或いは塗布する）ように構成されている。この小丸 5 1 a、5 1 b をインクで描く工程がインキング工程であり、上記電気検査工程に含まれている。

【 0 0 3 9 】

そして、上記電気検査工程（及びインキング工程）を実行した後は、ウエハ 3 5 を切断するダイシング工程を実行する。続いて、上記切断されたチップ 1 の外観を検査する工程を実行する。この外観検査工程の後は、チップ 1 を配線基板 5 2 等に組み付ける工程を実行する。

【 0 0 4 0 】

この後、チップ 1 のパッド 1 5、1 6 を配線基板 5 2 上に設けられた端子 1 7、1 9 にワイヤボンディングする工程を実行する。このワイヤボンディング工程では、画像認識装置を備えたワイヤボンディング装置を使用することが好ましい。そして、ワイヤボンディング装置の画像認識装置によりチップ 1 上の各ゲートパッド 1 6（即ち、セルブロック 1 2）について小丸 5 1 a、5 1 b の配置位置を認識することにより、全てのセルブロック 1 2 についてそれぞれ良品であるか不良品であるかを正確に認識する。

【 0 0 4 1 】

続いて、上記ワイヤボンディング装置は、図 4 に示すように、良品のセルブロック 1 2 のゲート電極 8 に接続されているゲートパッド 1 6 をチップ 1 の外部のゲート端子 1 7 にワイヤボンディングすると共に、不良品のセルブロック 1 2 のゲート電極 8 に接続されているゲートパッド 1 6 (1 6 b) をチップ 1 の外部のグランド端子 1 9 にワイヤボンディングし、更に、全てのエミッタパッド 1 5 をチップ 1 の外部のエミッタ端子にワイヤボンディングする。これにより、I G B T チップ 1 の組み付け及びワイヤボンディングが完了する。

## 【 0 0 4 2 】

このような構成の本実施例によれば、チップ 1 の半導体基板 2 の表面に複数のセルブロック 1 2 を設け、これらセルブロック 1 2 に互いに独立するゲート電極 8 をそれぞれ設け、そして、半導体基板 2 に各ゲート電極 8 にそれぞれ接続された複数のゲートパッド 1 6 を設けるように構成したので、チップサイズを大形化した場合でも、良品率が低下することを防止できると共に、半導体ウエハプロセスが複雑になることを防止できる。

## 【 0 0 4 3 】

そして、上記実施例の場合、各セルブロック 1 2 が良品であるか不良品であるかを識別する目印として小丸 5 1 a、5 1 b を、ゲートパッド 1 6 の周辺部分（即ち、半導体基板 2 における各セルブロック 1 2 に対応付けられた領域）に設ける構成としたので、上記小丸 5 1 a、5 1 b（目印）の例えば配置位置によって各セルブロック 1 2 が良品であるか不良品であるかを容易に識別することができる。このため、例えばワイヤボンディング装置に画像認識装置を設け、この画像認識装置により上記小丸 5 1 a、5 1 b を認識することに基づいて各セルブロック 1 2 の良否を自動的に識別するように構成することが可能になる。これにより、ワイヤボンディング装置によって、ゲートパッド 1 6 をゲート端子 1 7 またはグランド端子 1 9 にワイヤボンディングする工程を容易に実行することができる。

## 【 0 0 4 4 】

尚、上記実施例では、半導体ウエハプロセスの完了後に、セルブロック 1 2 の良否を検査すると共に、目印を形成するように構成したが、これに限られるもの



ではなく、半導体基板 2 にゲートパッド 1 6 を形成した後、即ち、半導体基板 2 の少なくとも表面側のウエハプロセスが完了した時点で、セルブロック 1 2 の良否を検査すると共に、目印を形成するように構成しても良い。

## 【0045】

図 7 は本発明の第 2 の実施例を示すものであり、第 1 の実施例と異なるところを説明する。尚、第 1 の実施例と同一部分には同一符号を付している。第 2 の実施例では、図 7 に示すように、目印として、良品のセルブロック 1 2 を示す小丸 5 1 a と、不良品のセルブロック 1 2 を示す中丸 5 1 c を設けた。この場合、中丸 5 1 c の配置位置は、小丸 5 1 a の配置位置とほぼ同じであり、ゲートパッド 1 6 の周囲部分のうちの上辺部の中央である。

## 【0046】

即ち、第 2 の実施例では、目印（小丸 5 1 a、中丸 5 1 c）の大きさによって、セルブロック 1 2 が良品であるか不良品であるかを識別するように構成されている。そして、上述した以外の第 2 の実施例の構成は、第 1 の実施例の構成と同じ構成となっている。従って、第 2 の実施例においても、第 1 の実施例と同じ作用効果を得ることができる。

## 【0047】

図 8 は本発明の第 3 の実施例を示すものであり、第 1 の実施例と異なるところを説明する。尚、第 1 の実施例と同一部分には同一符号を付している。第 3 の実施例では、図 8 に示すように、目印として、良品のセルブロック 1 2 を示す小丸 5 1 a と、不良品のセルブロック 1 2 を示す横棒 5 1 d を設けた。この場合、横棒 5 1 d の配置位置は、ゲートパッド 1 6 の上面のうちの下部部分である。

## 【0048】

即ち、第 3 の実施例では、目印（小丸 5 1 a、横棒 5 1 d）の形状によって、セルブロック 1 2 が良品であるか不良品であるかを識別するように構成されている。尚、第 3 の実施例では、目印（小丸 5 1 a、横棒 5 1 d）の配置位置によっても、セルブロック 1 2 が良品であるか不良品であるかを識別することが可能である。また、上述した以外の第 3 の実施例の構成は、第 1 の実施例の構成と同じ構成となっている。従って、第 3 の実施例においても、第 1 の実施例と同じ作用

効果を得ることができる。

【0049】

図9は本発明の第4の実施例を示すものであり、第1の実施例と異なるところを説明する。尚、第1の実施例と同一部分には同一符号を付している。第4の実施例では、図9に示すように、目印として、不良品のセルブロック12を示す小丸51eだけを設け、良品のセルブロック12を示す目印は設けないように構成した。この場合、小丸51eの配置位置は、ゲートパッド16の周囲部分のうちの上辺部のほぼ中央部である。

【0050】

即ち、第4の実施例では、目印（小丸51e）の個数（即ち、「0個」か「1個」か）によって、セルブロック12が良品であるか不良品であるかを識別するように構成されている。尚、上述した以外の第4の実施例の構成は、第1の実施例の構成と同じ構成となっている。従って、第4の実施例においても、第1の実施例と同じ作用効果を得ることができる。

【0051】

図10は本発明の第5の実施例を示すものであり、第1の実施例と異なるところを説明する。尚、第1の実施例と同一部分には同一符号を付している。第5の実施例では、図10に示すように、目印として、良品のセルブロック12を示す1個の小丸51aと、不良品のセルブロック12を示す2個の小丸51f、51fを設けた。この場合、2個の小丸51f、51fの配置位置は、ゲートパッド16の周囲部分のうちの上辺部のほぼ中央部分である。

【0052】

即ち、第5の実施例では、目印の個数（1個の小丸51a、2個の小丸51f、51f）によって、セルブロック12が良品であるか不良品であるかを識別するように構成されている。また、上述した以外の第5の実施例の構成は、第1の実施例の構成と同じ構成となっている。従って、第5の実施例においても、第1の実施例と同じ作用効果を得ることができる。

【0053】

また、上記各実施例において、目印の色を、セルブロック12が良品であるか

不良品であるかに応じて変えるように構成しても良い。更に、目印の配置位置、大きさ、形状及び個数を同じにして、色だけを、セルブロック 1 2 が良品であるか不良品であるかに応じて変えるように構成しても良い。

【0 0 5 4】

一方、上記各実施例では、本発明をトレンチゲート型 I G B T に適用したが、プレーナ型 I G B T に適用しても良い。プレーナ型 I G B T に適用した第 6 の実施例を、図 1 1 に示す。この図 1 1 は、第 6 の実施例のプレーナ型 I G B T のチップ 5 3 の隣接する 2 つのセルブロック 1 2、1 2 の境界部分の縦断面模式図である。尚、第 1 の実施例と同一部分には同一符号を付している。

【0 0 5 5】

図 1 2 及び図 1 3 は本発明の第 7 の実施例を示すものであり、第 1 の実施例と異なるところを説明する。尚、第 1 の実施例と同一部分には同一符号を付している。第 7 の実施例では、図 1 2 に示すように、チップ 1 の複数のセルブロック 1 2 のうちの不良品のセルブロック 1 2 の配置位置が同じものが集まるように、チップ 1 を仕分けするように構成した。

【0 0 5 6】

具体的には、チップ 1 に 6 個のセルブロック 1 2 が設けられているとすると、図 1 2 に示すように、左から 1 番目のセルブロック 1 2 が不良であるチップ 1 のグループと、左から 2 番目のセルブロック 1 2 が不良であるチップ 1 のグループと、……、左から 6 番目（右から 1 番目）のセルブロック 1 2 が不良であるチップ 1 のグループと、全てのセルブロック 1 2 が良品であるチップ 1 のグループとに仕分けされる。尚、不良のセルブロック 1 2 が 1 個存在する場合について説明したが、不良のセルブロック 1 2 が 2 個以上存在する場合についても、同様にして各グループに仕分けするように構成することも好ましい。

【0 0 5 7】

そして、上記チップ 1 の仕分けを実行するに当たっては、チップ 1 を複数のトレイに選別して収納することが可能なチップ移載機（図示しない）を使用することが好ましい。例えば、チップ移載機に画像認識装置を設け、この画像認識装置によりチップ 1 上の各ゲートパッド 1 6（即ち、セルブロック 1 2）について目

印（小丸 5 1 a、5 1 b）の配置位置を認識することにより、全てのセルブロック 1 2 についてそれぞれ良品であるか不良品であるかを正確に認識するように構成すれば良い。そして、その認識結果に基づいて、チップ 1 をピックアップして、不良品のセルブロック 1 2 の配置位置が同じものが集まるように仕分けしてトレイに収納するように構成することが好ましい。

## 【0058】

更に、上記第 7 の実施例では、図 1 3 に示すように、仕分けしたチップ 1 を使用して I G B T モジュール 3 4 を作製する。この場合、I G B T モジュール 3 4 として、例えば 6 個のチップ 1 を使用した 6 i n 1 タイプ I G B T モジュール 3 4 を製造する。図 1 3 に示す I G B T モジュール 3 4 の場合には、左から 2 番目のセルブロック 1 2 b が不良品であるチップ 1 を 6 個使用している。尚、図 1 3 に示すチップ 1 には、目印（小丸 5 1 a、5 1 b）を省略している。

## 【0059】

そして、上記 6 個のチップ 1 を配線基板上に組み付けるに際しては、まず、6 個のチップ 1 を配線基板上に載置して接着固定する。次に、これら 6 個のチップ 1 について、良品のセルブロック 1 2 のゲート電極 8 に接続されているゲートパッド 1 6 を、チップ 1 の外部、即ち、配線基板に設けられたゲート端子 1 7 にワイヤボンディングにより接続すると共に、不良品のセルブロック 1 2 のゲート電極 8 に接続されているゲートパッド 1 6 を、チップ 1 の外部、即ち、配線基板に設けられたグランド端子 1 9 にワイヤボンディングにより接続する。更に、エミッタパッド 1 5 を、チップ 1 の外部、即ち、配線基板に設けられたエミッタ端子 3 3 にワイヤボンディングにより接続する。

## 【0060】

これにより、I G B T モジュール 3 4 の組み付けが完了する。この後、上記 I G B T モジュール 3 4、即ち、配線基板をパッケージに組み込む工程を実行すると、I G B T モジュール 3 4 の製造が完了する。また、上述した以外の第 7 の実施例の構成は、第 1 の実施例の構成と同じ構成となっている。従って、第 7 の実施例においても、第 1 の実施例と同じ作用効果を得ることができる。

## 【0061】

尚、上記第7の実施例では、左から2番目のセルブロック12bが不良品であるチップ1を6個使用する代わりに、他のセルブロック12が不良品であるチップ1を6個使用してIGBTモジュール34を製造するように構成しても良い。また、上記第7の実施例においては、IGBTモジュール34として、例えば6個のチップ1を使用した6in1タイプIGBTモジュール34を製造する構成に適用したが、これに限られるものではなく、2in1タイプIGBTモジュール、7in1タイプIGBTモジュール、IGBTディスクリートパッケージ等を製造する構成に適用しても良い。

## 【0062】

一方、上記各実施例においては、不良品のセルブロック12のゲート電極8に接続されているゲートパッド16をチップ1の外部のグランド端子19に接続するように構成したが、これに代えて、不良品のセルブロック12のゲート電極8に接続されているゲートパッド16をチップ1の内部のエミッタパッド15に例えばワイヤボンディングにより接続するように構成しても良い。この構成の場合、不良品のセルブロック12bのゲート電極8（ゲートパッド16）は、エミッタパッド15の電位、即ち、チップ外部のエミッタ端子33の電位に固定されるようになる。

## 【0063】

そして、エミッタ端子33（エミッタパッド15）は、通常、グランドに接続されるため、上記エミッタパッド15の電位はグランド電位となる。これにより、不良品のセルブロック12のゲート電極8には、ゲート制御用の信号が与えられることがないから、不良品のセルブロック12内の素子が動作することがなくなる。

## 【0064】

また、不良品のセルブロック12のゲート電極8を、チップ1の内部のエミッタパッド15にワイヤボンディングする代わりに、チップ1の外部のエミッタ端子33にワイヤボンディングするように構成しても良い。更に、グランド端子19とエミッタ端子33を共通端子とするように構成しても良い。更にまた、

不良品のセルブロック 1 2 のゲート電極 8 に接続されているゲートパッド 1 6 を、チップ 1 の内部に設けられたグランドパッド（グランド端子）に例えばワイヤボンディングにより接続するように構成しても良い。

## 【0065】

尚、上記各実施例においては、IGBT のチップ 1 に、複数のセルブロック 1 2 の各エミッタ電極 1 0 にそれぞれ接続された複数のエミッタパッド 1 5 を設けるように構成しているが、ゲート電極 8 のみブロック別に独立とし、全セルブロック共通、あるいは、複数のセルブロック毎に共通のエミッタパッド 1 5 を設けるようにしても良い。また、P ベース層 5 は、各セルブロック共通のシングルベースとしても良いし、各セルブロック毎あるいは複数のセルブロック毎に設定された島状ベースとしても良い。尚、島状ベースとした場合、ゲートオフ時に隣合う島状ベースから n ドリフト層 4 側へ延びる空乏層が互いに連結するようにベース間距離を設定すれば、耐圧に優れた構成となる。

## 【0066】

また、上記各実施例では、ゲートパッド 1 6 と外部のゲート端子との接続、並びに、ゲートパッド 1 6 と外部のグランド端子との接続を、ワイヤボンディングにより行う構成としたが、これに限られるものではなく、例えば半田接合や直接接合（圧着）等により行うように構成しても良い。

## 【0067】

更に、上記各実施例では、複数個のゲートパッド 1 6 を IGBT 1 のチップの一边部に並べて配置するように構成したが、これに限られるものではなく、複数個のゲートパッド 1 6 の配置位置は、ゲートパッド 1 6 を外部のゲート端子に接続する接続形態に対応するように設計すれば良い。また、上記各実施例では、n チャネルタイプの IGBT に適用した例を示したが、勿論、p チャネルタイプのものに適用しても良く、不良品のセルブロックのゲート電極 8 の電位もグランド電位に限らず、各セルのチャンネルが反転しない電位に固定できれば良い。

## 【0068】

更に、上記各実施例においては、本発明を IGBT に適用したが、これに限られるものではなく、半導体基板の表面に電流制御用のゲート電極を備えた絶縁ゲ

ート型パワー I C、例えば MOS F E T や MOS 型の電界効果素子に適用しても良い。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例を示す I G B T の部分平面模式図

【図 2】

I G B T の縦断面模式図

【図 3】

I G B T のセルブロックの境界部分の縦断面模式図

【図 4】

I G B T の部分平面模式図

【図 5】

目印の配置位置を説明する I G B T の平面模式図

【図 6】

I G B T の製造工程を説明する図

【図 7】

本発明の第 2 の実施例を示す図 5 相当図

【図 8】

本発明の第 3 の実施例を示す図 5 相当図

【図 9】

本発明の第 4 の実施例を示す図 5 相当図

【図 1 0】

本発明の第 5 の実施例を示す図 5 相当図

【図 1 1】

本発明の第 6 の実施例を示す図 3 相当図

【図 1 2】

本発明の第 7 の実施例を示すものであり、不良品のセルブロックの配置位置を示す I G B T チップの平面図

【図 1 3】

I G B T モジュールを示す電気回路図と I G B T チップの平面模式図

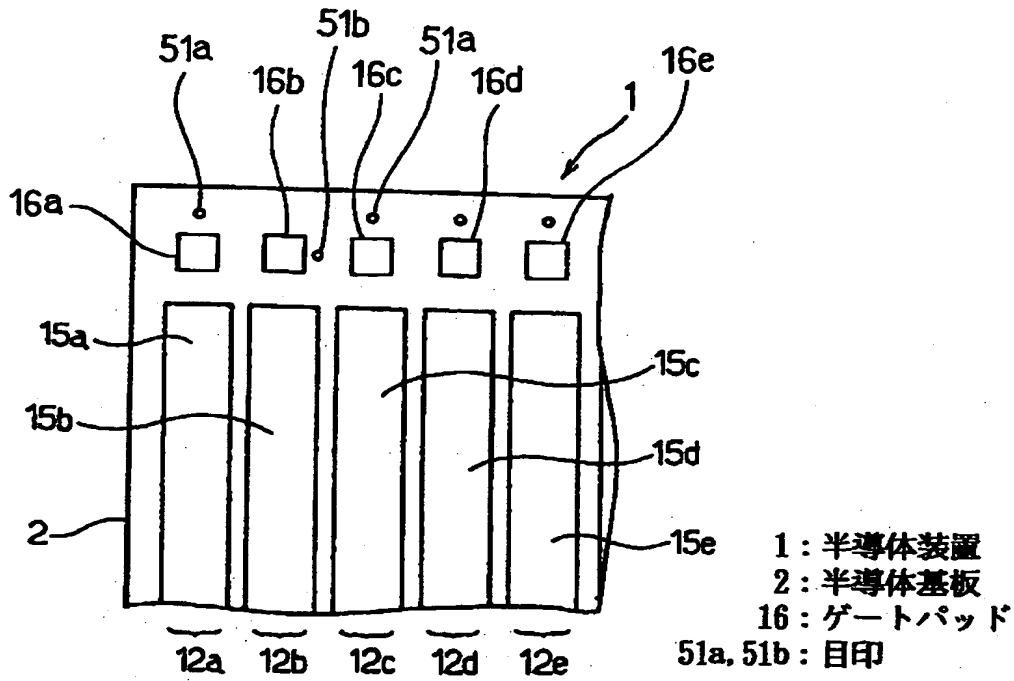
【符号の説明】

1 は I G B T のチップ（半導体装置）、2 は p + 基板（半導体基板）、7 はゲート絶縁膜、8 はゲート電極、1 0 はエミッタ電極、1 1 はコレクタ電極、1 2 はセルブロック、1 3 は配線層、1 4 は配線層、1 5 はエミッタパッド、1 6 はゲートパッド、1 7 はゲート端子、1 8 はボンディングワイヤ、1 9 はグランド端子、3 3 はエミッタ端子、3 4 は I G B T モジュール（絶縁ゲート型パワー I C モジュール）、3 5 はウエハ、5 1 a、5 1 b は小丸（目印）、5 2 は配線基板を示す。

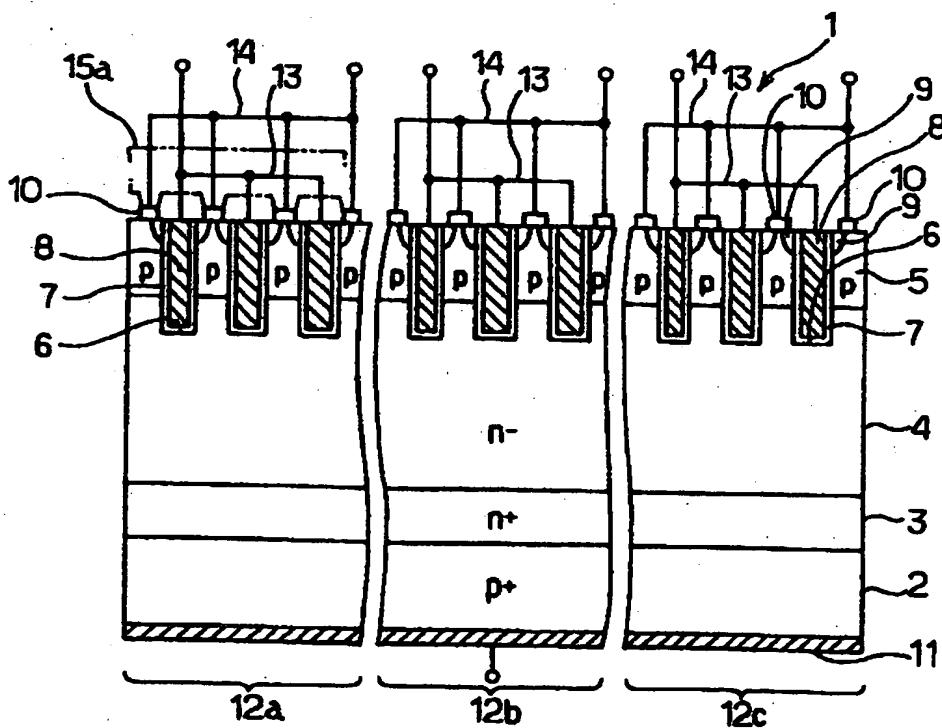


【書類名】 図面

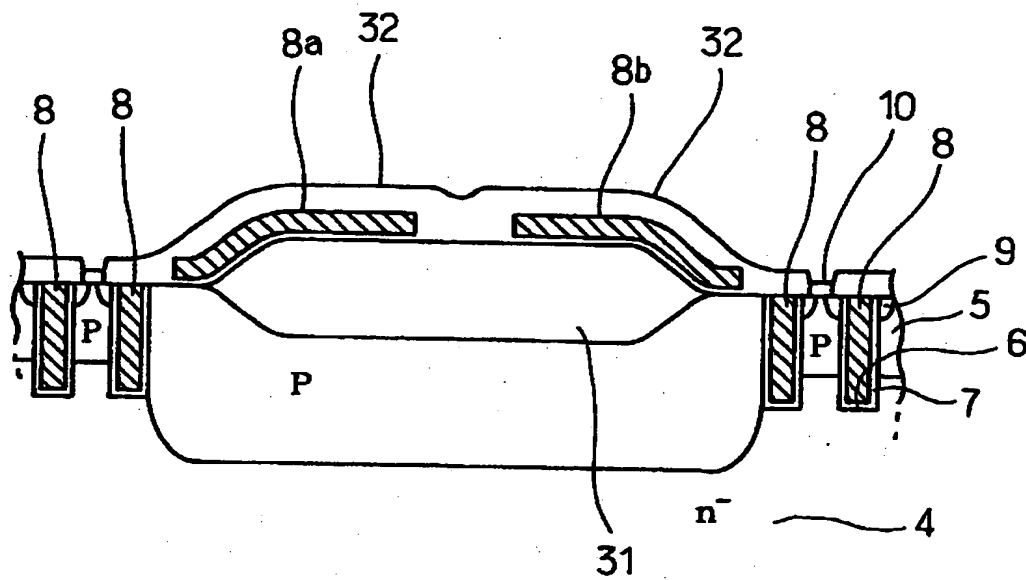
【図 1】



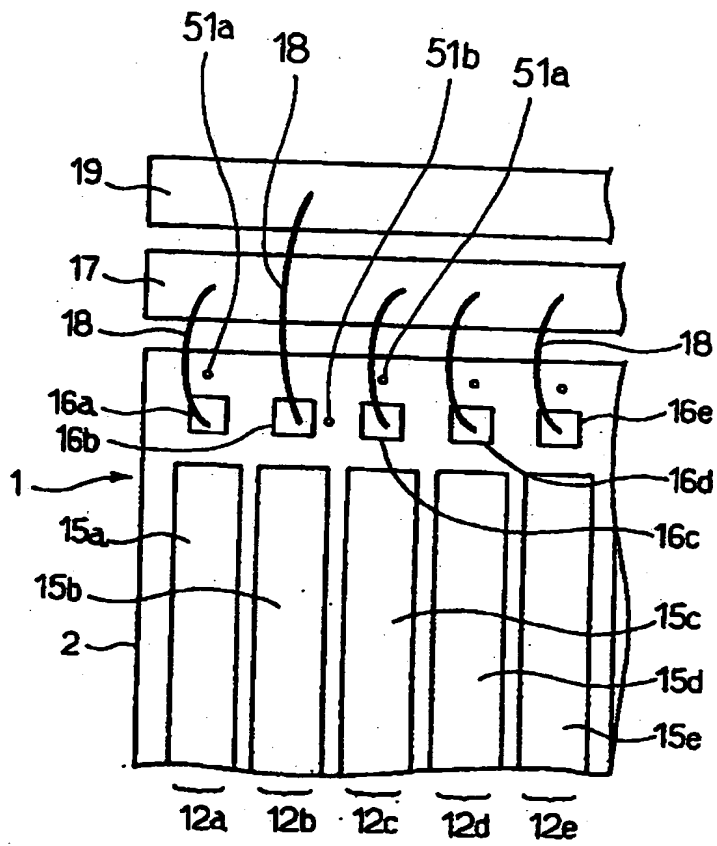
【図 2】



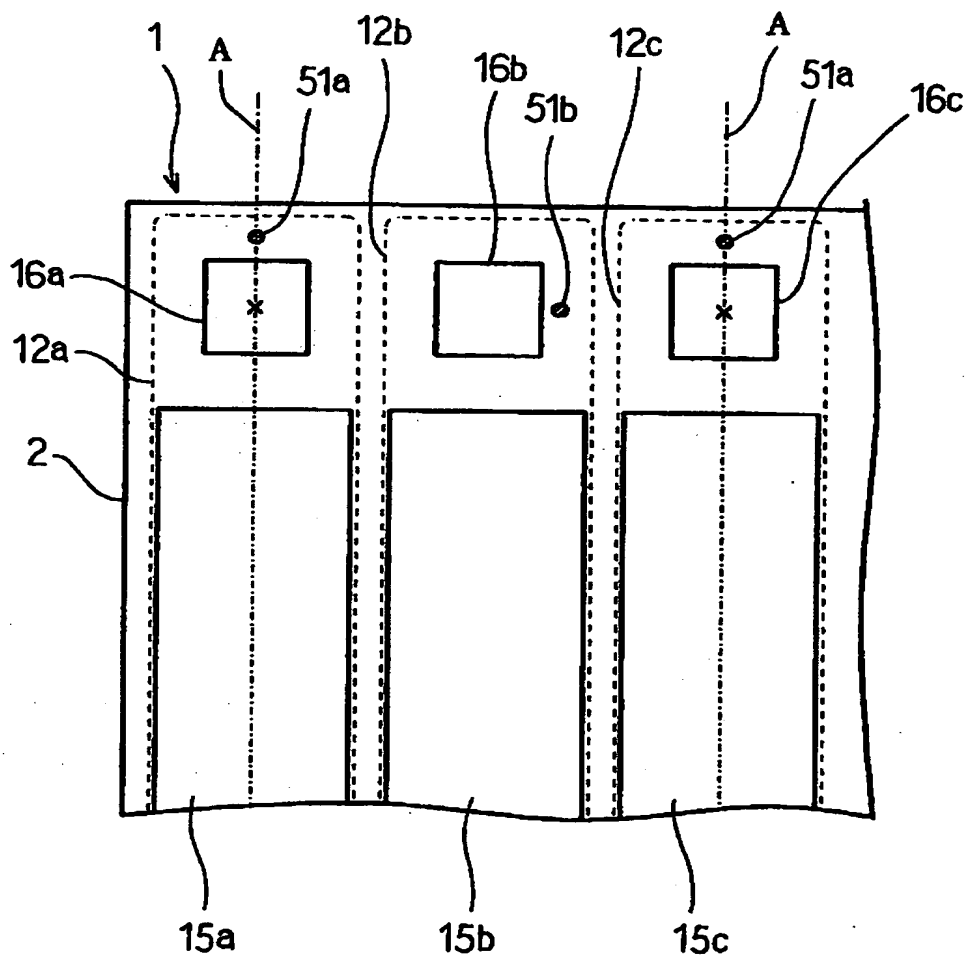
【図 3】



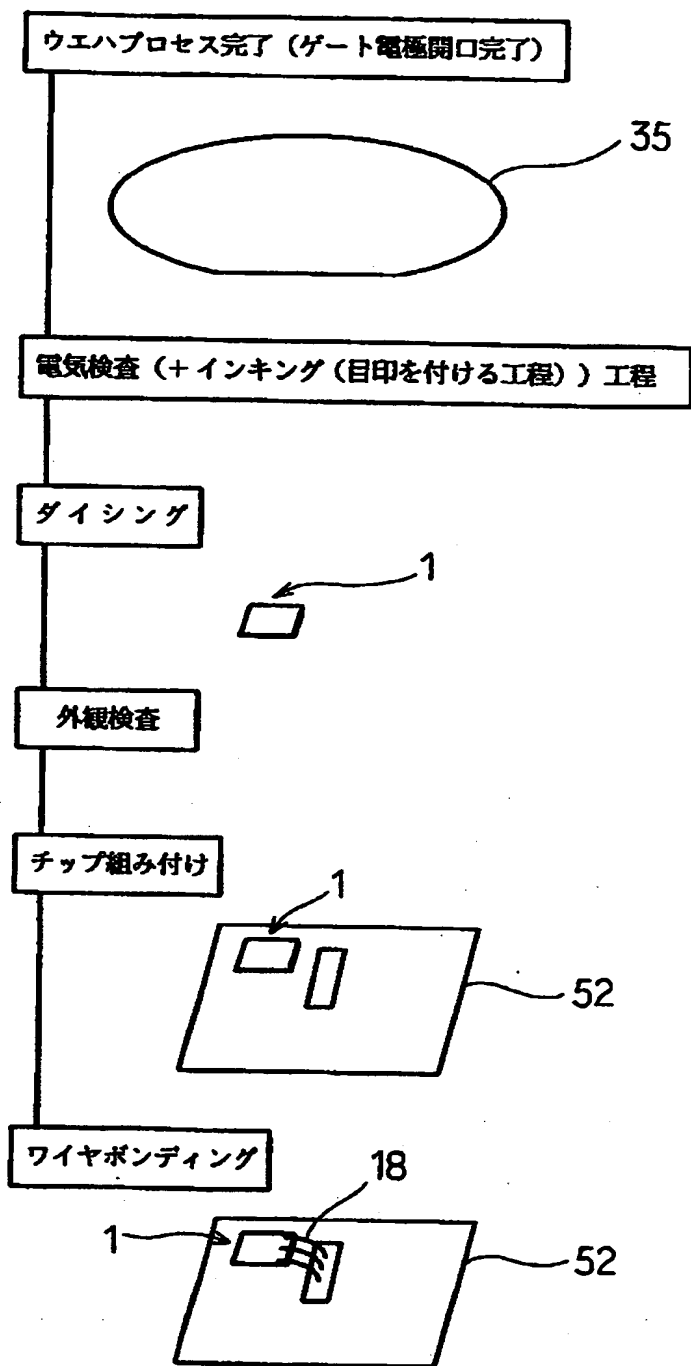
【図 4】



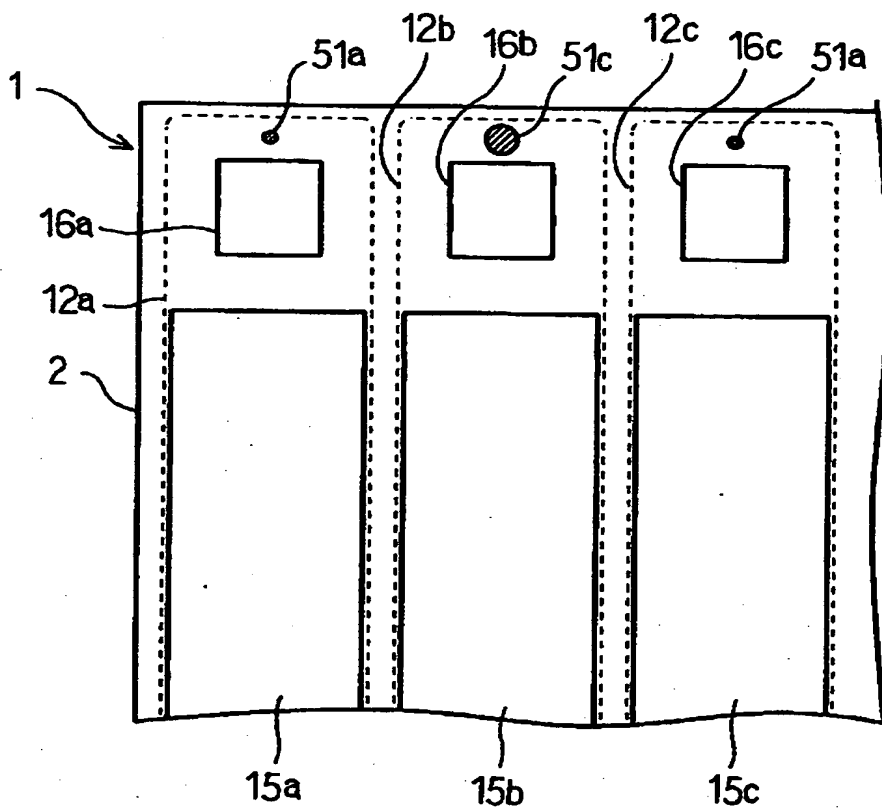
【図 5】



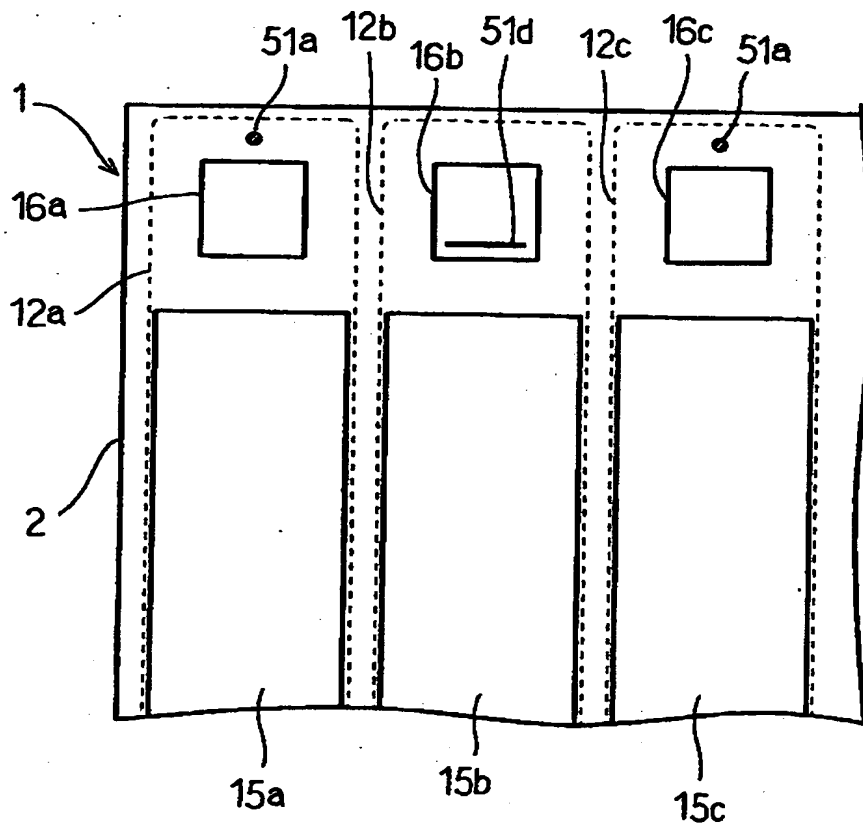
【図 6】



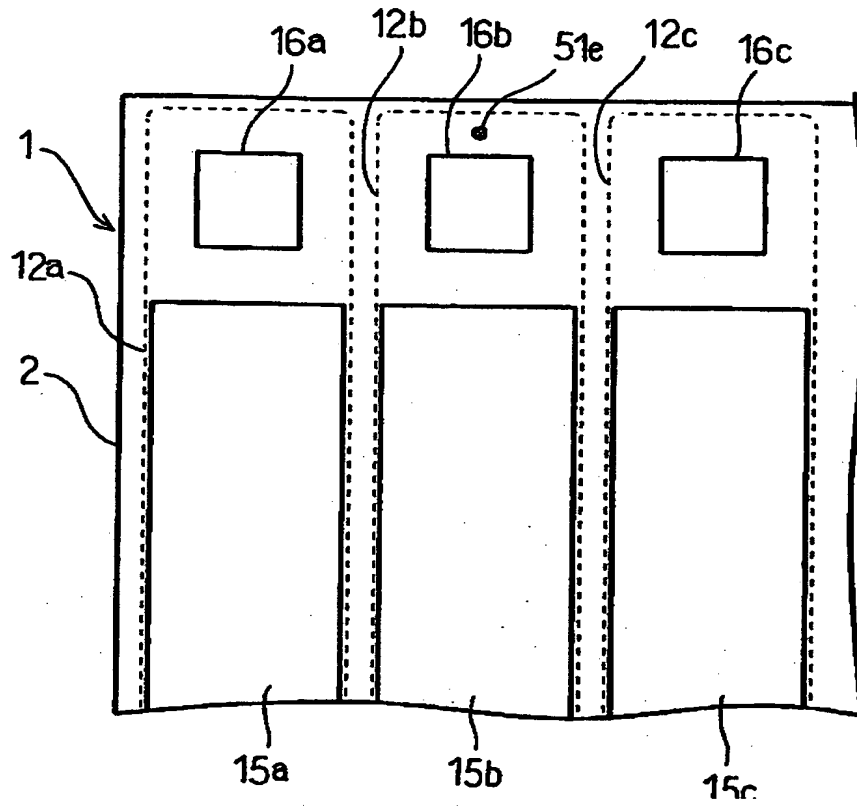
【図 7】



【図 8】

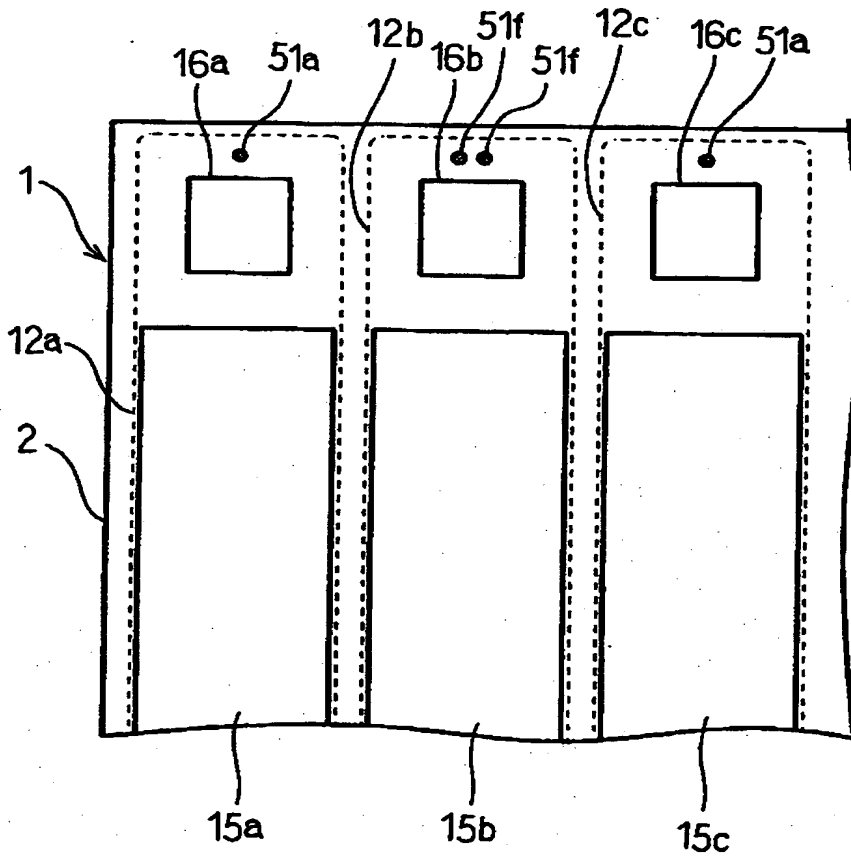


【図 9】

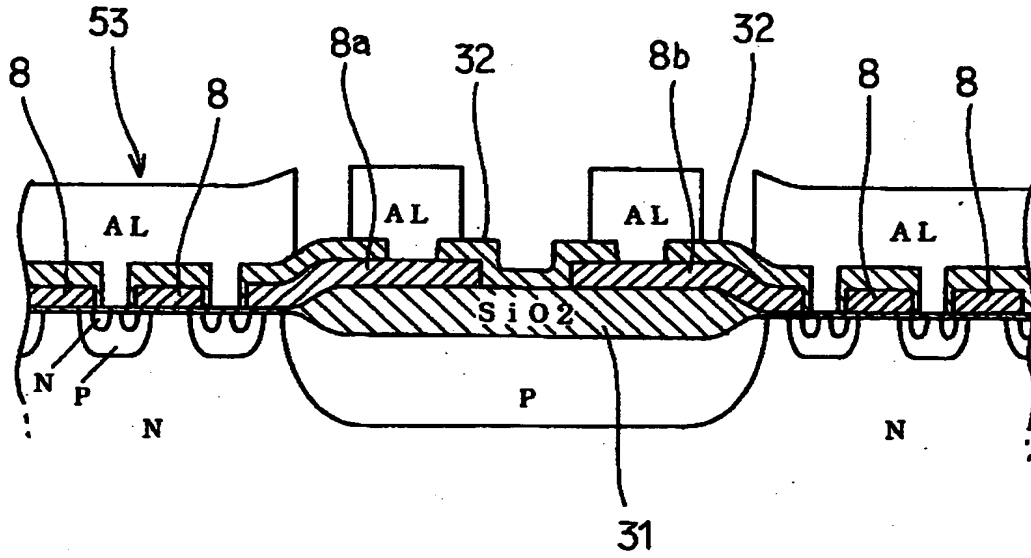




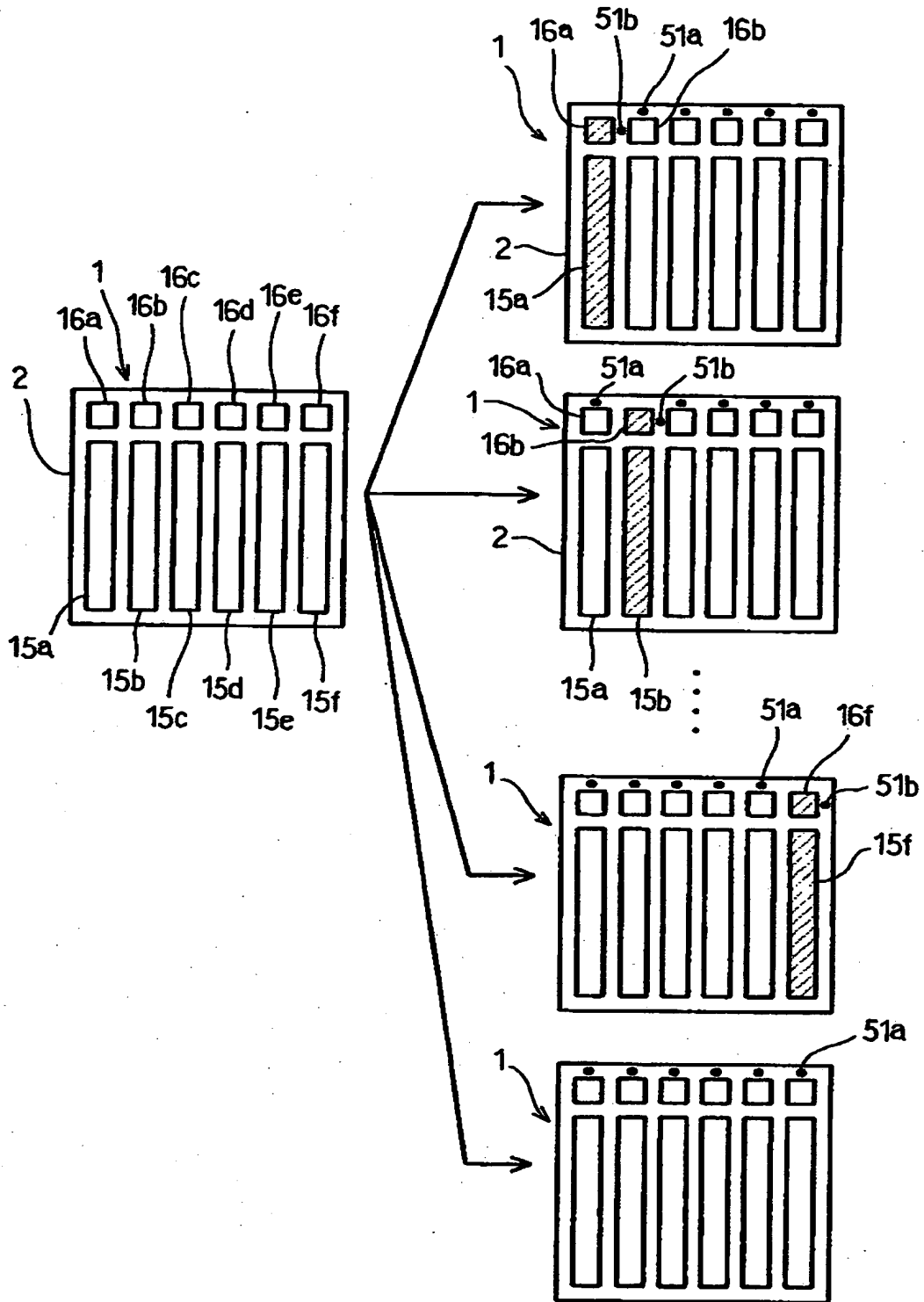
【図 1 0】



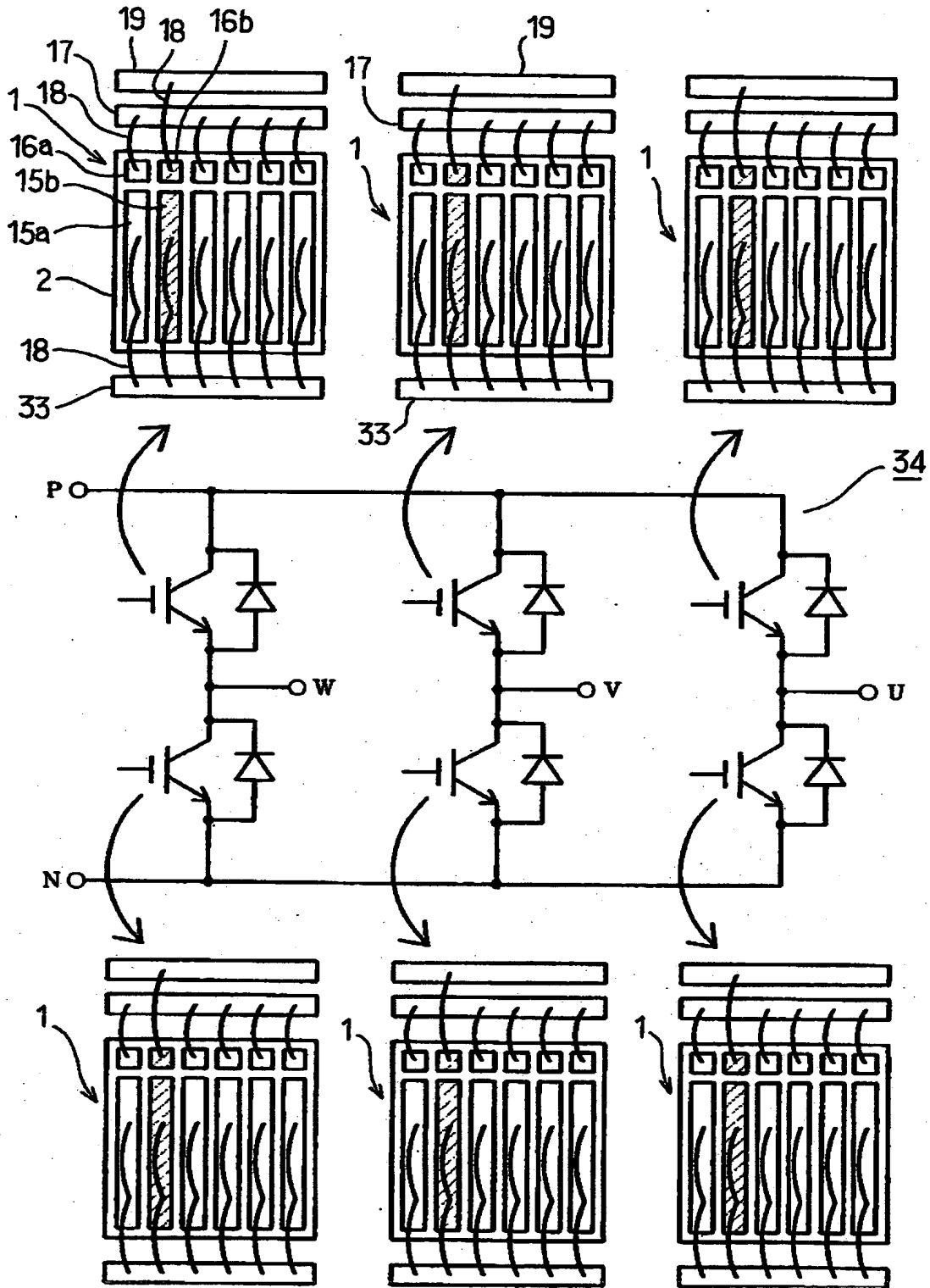
【図 1 1】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 チップサイズを大形化しても、良品率の低下及び半導体ウエハプロセスの複雑化を防止し、また、ゲートパッドをゲート端子またはグランド端子に接続する作業を容易に実行可能にする。

【解決手段】 本発明の半導体装置は、半導体基板 2 の表面に複数のセルブロック 1 2 を設け、これら複数のセルブロック 1 2 に独立する複数のゲート電極 8 を設け、半導体基板 2 に各ゲート電極 8 に接続された複数のゲートパッド 1 6 を設け、そして、各セルブロック 1 2 が良品であるか不良品であるかを識別する目印 5 1 a、5 1 b を、半導体基板 2 における各ゲートパッド 1 6 の周辺部分に設けたところに特徴を有する。この構成の場合、目印 5 1 a、5 1 b によりセルブロック 1 2 が良品であるか不良品であるかを容易に識別可能となる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004260]

1. 変更年月日 1996年10月 8日  
[変更理由] 名称変更  
住 所 愛知県刈谷市昭和町1丁目1番地  
氏 名 株式会社デンソー